

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05127764 A

(43) Date of publication of application: 25.05.93

(51) Int. Cl

G05F 1/56

(21) Application number: 03285817

(71) Applicant: NEC IC MICROCOMPUT SYST LTD

(22) Date of filing: 31.10.91

(72) Inventor: HIRANO YOSHIFUMI

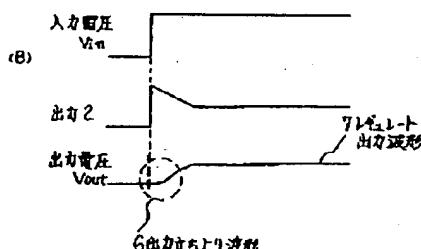
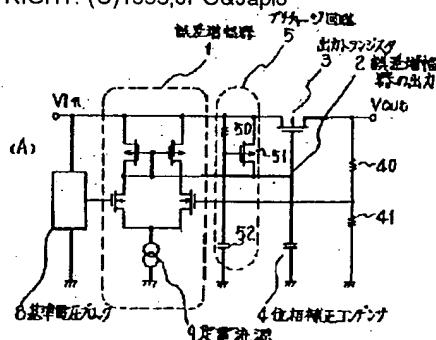
(54) VOLTAGE REGULATOR

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To obtain a waveform which smoothly rises in the output of the voltage regulator by providing a circuit which precharges a phase correcting capacitor when powered ON.

CONSTITUTION: This voltage regulator is equipped with a reference voltage block 8, an error amplifier 1, the precharging circuit 5, an output transistor(TR) 3, the phase correcting capacitor 4, and resistors 40 and 41. In this case, no charge is accumulated in the phase correcting capacitor 4 when the power source is turned ON, but the common source TR 51 of the precharging circuit 5 is OFF, so the phase correcting capacitor 4 is instantaneously discharged. The gate voltage of the output TR 3 reaches the same potential with the level of an input voltage Vin and the output TR 3 turns OFF. Then the error amplifier 1 supplies a current almost equal to that of a constant-current source 9 to the phase correcting capacitor 4, which is gradually discharged and becomes stable when balanced with the error amplifier 1. Neither of the output rising waveform 6, rounding nor a regulated output waveform is exceeded.



AN

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-127764

(43)公開日 平成5年(1993)5月25日

(51)Int.CLS
G 05 F 1/56識別記号 序内整理番号
310 P 4237-5H

F I

技術表示箇所

審査請求 実請求 請求項の数1(全4頁)

(21)出願番号 特願平3-285817

(22)出願日 平成3年(1991)10月31日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 平野 良文

神奈川県川崎市中原区小杉町1丁目403番
53日本電気アイシーマイコンシステム株式会社内

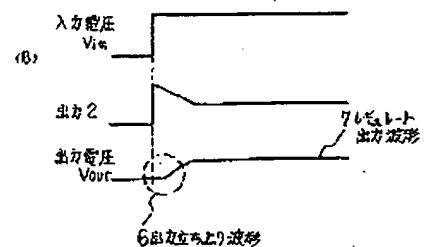
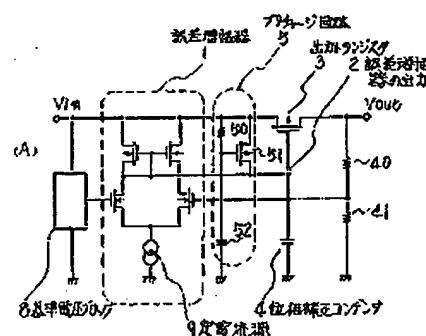
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 ポルテージレギュレータ

(57)【要約】

【目的】ソース接地式出力トランジスタを用いるポルテージレギュレータにおいて、電源投入時に一時的に出力電圧が規定出力電圧を越えてしまうという欠点を改善すること。

【構成】誤差増幅回路の出力2には、出力トランジスタ3のゲートと位相補正コンデンサ4の他に、ソース接地回路及びC R積分回路によるプリチャージ回路らが接続される。



(2)

特開平5-127764

1

【特許請求の範囲】

【請求項1】 入力電圧と安定化出力電圧との間に出力トランジスタを介在させ、前記出力電圧の分圧電圧と基進電圧とを入力として前記出力トランジスタのゲートに出力する誤差増幅器を設けたポルテージレギュレータにおいて、前記入力電圧と定電位源との間に抵抗とコンデンサとの直列体を設け、前記直列体の共通接続点をゲート入力としつつ前記入力電圧と前記出力トランジスタのゲートとの間に介在させたプリチャージ回路用トランジスタを設けたことを特徴とするポルテージレギュレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はポルテージレギュレータに関し、特に電界効果トランジスタを用いたポルテージレギュレータに関する。

【0002】

【従来の技術】 従来の出力トランジスタにソース接地回路を用いるポルテージレギュレータは、図3の(A)、(B)に示すように、誤差増幅器21の出力22は、出力トランジスタ23のゲート及び位相補正コンデンサ24に接続されている。

【0003】 誤差増幅器21は、Pチャネル型MOSトランジスタ31、32と、Nチャネル型MOSトランジスタ33、34と、定電流源28とを備えている。基進電圧ブロック17は、入力電圧Vinが入力され、基進電圧を前記誤差増幅器21に与えている。入力電圧Vin、出力電圧Vout間に、出力トランジスタ23が介在し、出力電圧Voutを抵抗40、41で分圧し、分圧された電圧をトランジスタ34のゲートに入力している。

【0004】 次に電源投入時の過渡動作について説明する。

【0005】 電源投入時は、位相補正コンデンサ24の電荷はゼロであるので、出力トランジスタ23のゲートの電圧は、0Vである。こととく、出力トランジスタ23のソースは、入力電圧Vinのレベルであるため、出力トランジスタ23のゲート-ソース電圧VGSは入力電圧Vinとなり、出力トランジスタ23は導通状態となる。

【0006】 次に、誤差増幅器21は、定電流源28の電流と同等の電流を位相補正コンデンサ24に流して、徐々に充電し、誤差増幅器21の平衡がとれたところで安定するという動作をする。

【0007】

【発明が解決しようとする課題】 このような従来のポルテージレギュレータでは、電源投入時の過渡特性は、図3(B)に示す様に、誤差増幅器21の出力22の波形が、積分波形となるため、レギュレータの出力Voutの波形26は、出力立ち上り波形25に示す様に、一時

2

的にレギュレート出力波形26を上回る電圧となってしまう。

【0008】 この様に、レギュレート出力電圧26を上回る電圧が、出力に発生することは、例えばロジック回路の様な負荷の場合、誤動作させてしまったり、あるいは破壊してしまう恐れがあるといふ欠点がある。

【0009】 本発明の目的は、前記欠点を解決し、レギュレート出力電圧を上回る電圧が出力されないようにしたポルテージレギュレータを提供することにある。

10 【0010】

【課題を解決するための手段】 本発明の構成は、入力電圧と安定化出力電圧との間に出力トランジスタを介在させ、前記出力電圧の分圧電圧と基進電圧とを入力として前記出力トランジスタのゲートに出力する誤差増幅器を設けたポルテージレギュレータにおいて、前記入力電圧と定電位源との間に抵抗とコンデンサとの直列体を設け、前記直列体の共通接続点をゲート入力としつつ前記入力電圧と前記出力トランジスタのゲートとの間に介在させたプリチャージ回路用トランジスタを設けたことを特徴とする。

15 【0011】

【実施例】 図1の(A)、(B)は本発明の一実施例のポルテージレギュレータを示す回路図、特性図である。

【0012】 図1の(A)において、本実施例のポルテージレギュレータは、基準電圧ブロック8と、誤差増幅器1と、プリチャージ回路5と、出力トランジスタ3と、位相補正コンデンサ4と、抵抗40、41とを含み、構成される。

【0013】 ここで、プリチャージ回路5を除く誤差増幅器1等は図3の(A)と同様である。

【0014】 プリチャージ回路5は、抵抗50とPチャネルMOSトランジスタ51と、コンデンサ52とを有する。

【0015】 誤差増幅器1の出力2は、出力トランジスタ3のゲートと、位相補正コンデンサ4と、ソース接地トランジスタ51とコンデンサ52と抵抗50からなるプリチャージ回路5の出力3と接続する。

【0016】 次に、電源投入時の過渡動作について図1の(B)を用いて説明する。電源投入時は、位相補正コンデンサ4の電荷はゼロであるが、プリチャージ回路5のソース接地トランジスタ51が導通状態であるので、位相補正コンデンサ4の電荷を瞬時に充電する。このとき、出力トランジスタ3のゲート電圧は、入力電圧Vinのレベルと同電位となり、出力トランジスタ3は非導通状態となる。

【0017】 次に、誤差増幅器1は、定電流源9と同等の電流を位相補正コンデンサ4に流し、位相補正コンデンサ4を徐々に放電し、誤差増幅器1の平衡がとれたところで安定する。出力立ち上り波形6は、なまり、レギュレート出力波形7を上回ることはない。

50

(3)

特開平5-127764

3

【0018】図2 (A), (B) は本発明の他の実施例のポルテージレギュレータを示す回路図、特性図である。本実施例の回路は、図1の (A) のポルテージレギュレータを負電源回路に応用したものである。

【0019】図2 (A) において、誤差増幅器11の出力12は、出力トランジスタ13のゲート及び位相補正コンデンサ14と、ソース接地トランジスタと抵抗・コンデンサからなるプリチャージ回路15の出力とに接続されている。

【0020】電源投入時の過渡動作は、前記実施例と同様であり、まず急速に位相補正コンデンサ14を充電し、誤差増幅器11により徐々に放電し、誤差増幅器11の平衡がとれるとところで安定する。

【0021】このように、本発明によれば、基準電圧回路と誤差増幅器と出力トランジスタにソース接地回路を用い、出力トランジスタのゲートに第2のソース接地をした電界効果トランジスタのドレインと誤差増幅器の出力が接続され、第2の電界効果トランジスタのゲートは抵抗及びコンデンサによる積分回路が接続されていることを特徴とするポルテージレギュレータが得られる。

【0022】

【発明の効果】以上説明したように、本発明は、位相補正

4

* 正コンデンサを電源投入時にプリチャージする回路を設けたので、電源投入時にポルテージレギュレータの出力が、レギュレート電圧を越えないでスムーズな立ち上り波形を得ることができ、従って負荷回路を誤動作させることなく、また破壊的心配もなく、使用できるという効果がある。

【図面の簡単な説明】

【図1】 (A), (B) は本発明の一実施例のポルテージレギュレータをそれぞれ示す回路図、過渡特性図である。

【図2】 (A), (B) は本発明の他の実施例のポルテージレギュレータをそれぞれ示す回路図、過渡特性図である。

【図3】 (A), (B) は従来のポルテージレギュレータをそれぞれ示す回路図、過渡特性図である。

【符号の説明】

40, 41, 50 抵抗

31, 32, 51 Pチャネル型MOSトランジスタ

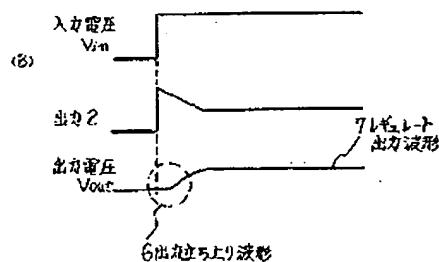
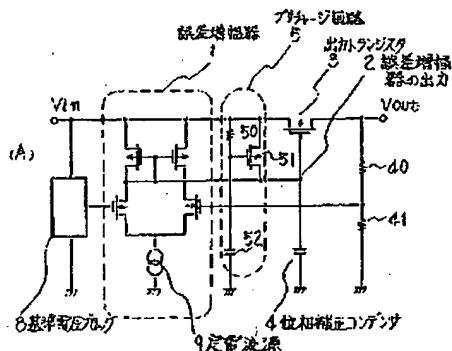
33, 34 Nチャネル型MOSトランジスタ

52 コンデンサ

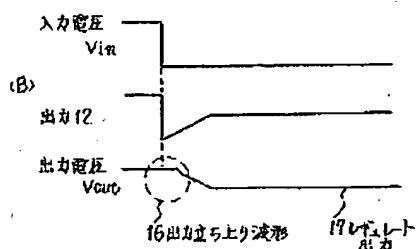
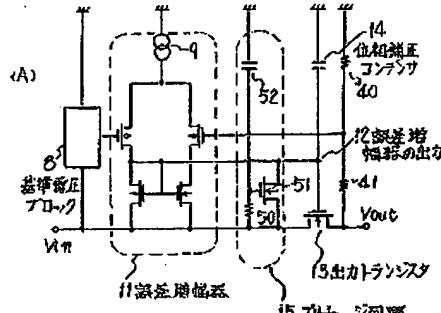
V_{in} 入力電圧

V_{out} 出力電圧

【図1】



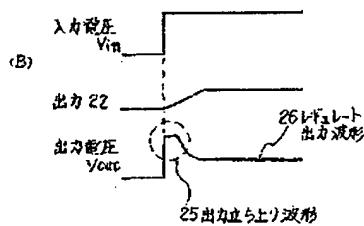
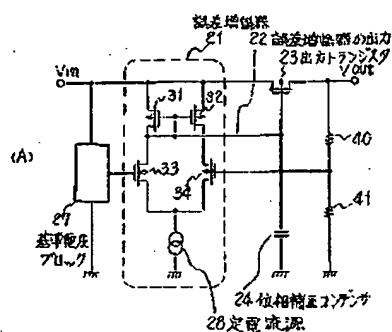
【図2】



(4)

特開平5-127764

[図3]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.